

THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC986 U.S. PTO
09/840386
04/23/01

In re the Application of : **Yoshihisa MATSUBARA, et al.**

Filed : **Concurrently herewith**

For : **METHOD FOR MANUFACTURING....**

Serial No. : **Concurrently herewith**

April 23, 2001

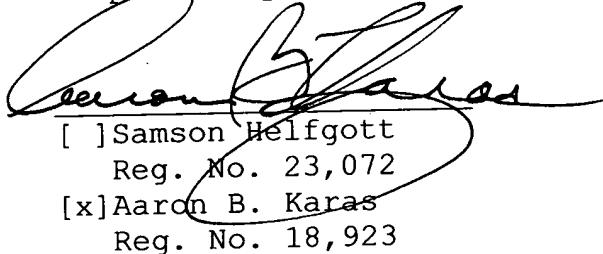
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No. 2000-131626 of April 28, 2000 whose priority has been claimed in the present application.

Respectfully submitted


[] Samson Helfgott
Reg. No. 23,072
[x] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:NEKA 18.612
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402680US
On: April 23, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

USPTO
09/840386
04/23/01

出願年月日
Date of Application:

2000年 4月28日

出願番号
Application Number:

特願2000-131626

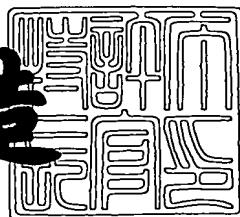
出願人
Applicant(s):

日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014621

【書類名】 特許願
【整理番号】 74112273
【提出日】 平成12年 4月28日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/3205
H01L 21/288
H01L 21/304
H01L 21/306
【発明の名称】 半導体装置の製造方法と処理装置及び半導体装置
【請求項の数】 10
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 松原 義久
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 竹脇 利至
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 井口 学
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100108578
【弁理士】
【氏名又は名称】 高橋 詔男
【代理人】
【識別番号】 100064908
【弁理士】

【書類名】 明細書

【発明の名称】 半導体装置の製造方法と処理装置及び半導体装置

【特許請求の範囲】

【請求項1】 基板にN型領域及びP型領域が形成され、これらN型領域及びP型領域のいずれか一方、またはこれら双方を接続するように配線が形成され、該配線の上面が露出された半導体基板を液体を用いて処理工程を行う半導体装置の製造方法において、

前記処理工程は、前記半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことを特徴とする半導体装置の製造方法。

【請求項2】 前記処理工程は、前記半導体基板を接地した状態で行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記処理工程は、前記配線を形成するための化学機械研磨(CMP:Chemical Mechanical Polishing)を含む工程中またはその工程前、あるいはその工程後に行う洗浄工程であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 半導体基板を液体を用いて処理する処理部と、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源とを備えたことを特徴とする処理装置。

【請求項5】 半導体基板を液体を用いて処理する処理部と、光源とを備え、前記処理部は、半導体基板を保持し回転させる回転手段と、前記半導体基板に液体を供給する液体供給手段とを備え、前記回転手段が接地されていることを特徴とする処理装置。

【請求項6】 半導体基板を液体を用いて処理する処理部と、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源とを備え、前記処理部は、半導体基板を保持し回転させる回転手段と、前記半導体基板に液体を供給する液体供給手段とを備え、前記回転手段が接地されていることを特徴とする処理装置。

【請求項7】 基板にN型領域及びP型領域が形成され、これらN型領域及びP型領域のいずれか一方、またはこれら双方を接続するように配線が形成され

、該配線の上面が露出された半導体装置において、

前記基板に、前記N型領域と独立した第2のN型領域を形成してなることを特徴とする半導体装置。

【請求項8】 前記N型領域及び前記第2のN型領域の面積の合計が、前記P型領域の面積の合計の100～1/100倍であることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記第2のN型領域は、前記基板の周縁部に形成してなることを特徴とする請求項7または8記載の半導体装置。

【請求項10】 前記配線は、Cu、Al、Wのいずれか1種を主成分とする特徴とする請求項7、8または9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法と処理装置及び半導体装置に関し、特に、配線に接続不良等の不具合が発生するおそれがない半導体装置の製造方法と処理装置及び半導体装置に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化、高性能化に伴って、半導体素子に対してもより微細化が求められ、また、半導体素子間を接続する配線に対してもさらなる微細化が求められている。

ところで、この半導体装置の製造工程においては、半導体素子及び配線がますます微細化するのに伴って、そのパターンの加工精度に対してもより高精度のものが要求され、配線等の欠陥や欠損等に対しても許容範囲がより狭いものが要求されている。

【0003】

ここで、従来の半導体装置の製造方法について、図10及び図11に基づき説明する。

まず、図10(a)に示すように、Siウェハ(基板)1の表面に、イオン注

入法等によりN型領域2及びP型領域3を形成し、CVD法等によりN型領域2及びP型領域3を含むSi基板1上にSiO₂膜4を堆積する。上記のN型領域2の面積の合計は、P型領域3の面積の合計の1/1000程度である。

次いで、このSiO₂膜4にN型領域2及びP型領域3に達するコンタクトホール5を形成し、このコンタクトホール5にW、Al、Cu等の金属を充填してプラグ電極6とする。

次いで、プラグ電極6の上部に溝配線用溝7を形成し、この溝配線用溝7を含むSiO₂膜4上にTiN等からなる絶縁膜8を成膜し、さらにメッキ技術を用いて配線材料であるCu膜9を成膜する。

【0004】

次いで、溝配線用溝7内の絶縁膜8及びCu膜9のみを残すために、CMP法により不要な部分の絶縁膜8及びCu膜9を除去し、図10(b)に示すように、プラグ電極6上にダマシン配線あるいは埋め込み配線とも称される溝配線10を形成する。

なお、CMP法以外の方法、例えば、ドライエッティングを用いて溝配線10を形成するには、レジスト等をマスクとして溝配線用溝7内の絶縁膜8及びCu膜9を残し、それ以外の不要な部分の絶縁膜8及びCu膜9をドライエッティングにより除去すればよい。

以上により、溝配線10が露出した半導体基板11を作製することができる。

【0005】

次いで、このようにして得られた半導体基板11に、図11に示す洗浄装置を用いて洗浄工程を実施する。

この洗浄装置は、半導体基板11を保持しつつ垂直な軸(図示せず)を軸心として回転可能なウエハホルダ15と、半導体基板11上に導電性の洗浄用薬液(あるいは純水)を供給するノズル16と、半導体基板11を含む領域に波長が500nm以下の光を入射する光源17とを備えた構成である。

この洗浄装置では、半導体基板11に入射する光の波長を500nm以下とした状態で、半導体基板11を回転しつつその上に洗浄用薬液(あるいは純水)を供給し、半導体基板11の表面を洗浄する。

【0006】

また、半導体基板の処理方法として、バンドギャップ以上のエネルギー（シリコンの場合 1.12 eV 以上）を持った光が基板表面に照射されないよう遮蔽、もしくは所定の強度（明度）以下に遮光した状態で処理する処理方法が提案されている（例えば、特開平 11-251317 号公報参照）。

【0007】

図 12 は、この処理方法により所定の処理がなされた半導体基板の Cu 配線を示す断面図であり、図において、21 は拡散層等に接続している配線、22 はシリコン酸化膜もしくは窒化膜等の絶縁膜、23 は正常に研磨された W プラグ、24 は TiN バリア、25 は正常に研磨された Cu 配線である。

図 13 は、このようにして形成された Cu 配線を、長さ 1 mm のパターンで測定した配線抵抗を示す図であり、従来の方法（図中、A）では、幅が 0.2 μm 以下になると配線の一部に欠損が生じるために、顕著に配線抵抗が増加するが、この処理方法（図中、B）では、幅が 0.1 μm 近くまで低抵抗の Cu 配線以下になっている。

【0008】

【発明が解決しようとする課題】

ところで、上述した洗浄方法では、導電性の洗浄用薬液（あるいは純水）により半導体基板 11 を洗浄する際に、光励起による電池効果により N 型領域 2 側の溝配線 10 に選択的に配線不良が発生するという問題点があった。

その理由は、この半導体基板 11 に光源 17 からの光が入射した場合に、光励起による電池効果により半導体基板 11 中の PN 接合に起電力が発生し、P 型領域 3 側の溝配線 10 から N 型領域 2 側の溝配線 10 に向かって Cu²⁺ が移動し、図 10 及び図 11 に示すように、N 型領域 2 側の溝配線 10 に析出した Cu の表面が酸化し、N 型領域 2 側の溝配線 10 に CuO を主成分とする高抵抗層 12 が形成されるためである。

【0009】

この洗浄工程では、半導体基板 11 中の PN 接合に光が入射しないようにするのが理想であるが、半導体基板 11 を送る際にその有無を検出したり、膜厚を検

査したり等の際には、ある程度の光量の光を入射せざるを得ず、N型領域2側の溝配線10の配線不良を無くすることは難しい。

【0010】

また、上述した処理方法では、遮蔽、もしくは所定の強度（明度）以下に遮光される光は、その波長が半導体が励起しない波長の範囲に対応したもので、シリコンのバンドギャップに対応して1.2μm以下の波長とされている。

例えば、図14に示す広いi層（真性領域）を持つSi-p⁺-i-n構造のフォトダイオードでは、効率が1.2μm以下で0になる領域に対応している。したがって、電流が流れないことになる。

【0011】

しかしながら、この処理方法では、可視できる波長（380～800nm）を遮蔽、もしくは所定の強度（明度）以下に遮光することになるために、目視ではウエハ等の確認を行うことができない。一般に、シリコンウエハ等の搬送系においては、ウエハの有無を検知するセンサとして、1μm以下の波長を用いたウエハセンサ等が装着されており、1.2μm以下の波長の光が装置内に存在しない状態では、作業を進めることができない。

【0012】

本発明は、上記の事情に鑑みてなされたものであって、配線の表面に金属酸化物を含む高抵抗層が形成されることにより生じる接続不良等の不具合を防止し得る半導体装置の製造方法を提供すること、可視光を全く遮光することなしに半導体装置の処理工程における接続不良等の不具合の発生を防止し得る処理装置を提供すること、及び配線に接続不良等の不具合が無く、その結果、信頼性に優れた半導体装置を提供すること、を目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明は次のような半導体装置の製造方法と処理装置及び半導体装置を採用した。

すなわち、本発明の請求項1記載の半導体装置の製造方法は、基板にN型領域及びP型領域が形成され、これらN型領域及びP型領域のいずれか一方、または

これら双方を接続するように配線が形成され、該配線の上面が露出された半導体基板を液体を用いて処理工程を行う半導体装置の製造方法において、前記処理工程は、前記半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことを特徴とする。

【0014】

この製造方法では、前記処理工程を、前記半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことにより、半導体基板中のPN接合における起電力が減少し、光励起による電池効果を抑制する。これにより、配線の表面に金属酸化物を含む高抵抗層を形成するおそれが無くなり、配線における接続不良等の不具合を防止する。

【0015】

請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、前記処理工程は、前記半導体基板を接地した状態で行うこととする。

【0016】

この製造方法では、前記処理工程を、前記半導体基板を接地した状態で行うことにより、半導体基板中のPN接合における起電力が消失し、光励起による電池効果が消失する。これにより、配線における接続不良等の不具合を効果的に防止する。

【0017】

請求項3記載の半導体装置の製造方法は、請求項1または2記載の半導体装置の製造方法において、前記処理工程は、前記配線を形成するための化学機械研磨(CMP)を含む工程中またはその工程前、あるいはその工程後に行う洗浄工程であることを特徴とする。

【0018】

この製造方法では、前記処理工程を、前記配線を形成するための化学機械研磨(CMP)を含む工程中またはその工程前、あるいはその工程後に行う洗浄工程としたことにより、洗浄工程において生じるおそれのある配線の接続不良等の不具合を防止する。

【0019】

請求項4記載の処理装置は、半導体基板を液体を用いて処理する処理部と、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源とを備えたことを特徴とする。

【0020】

この処理装置では、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源を備えたことにより、処理工程を、半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことが可能になり、この処理工程における半導体基板中の光励起による電池効果を抑制し、配線の接続不良等の不具合の発生を防止する。

【0021】

請求項5記載の処理装置は、半導体基板を液体を用いて処理する処理部と、光源とを備え、前記処理部は、半導体基板を保持し回転させる回転手段と、前記半導体基板に液体を供給する液体供給手段とを備え、前記回転手段が接地されていることを特徴とする。

【0022】

この処理装置では、前記回転手段を接地したことにより、処理工程においては半導体基板中のPN接合における起電力が消失し、処理工程において発生するおそれのある配線における接続不良等の不具合を効果的に防止する。

【0023】

請求項6記載の処理装置は、半導体基板を液体を用いて処理する処理部と、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源とを備え、前記処理部は、半導体基板を保持し回転させる回転手段と、前記半導体基板に液体を供給する液体供給手段とを備え、前記回転手段が接地されていることを特徴とする。

【0024】

この処理装置では、処理工程における半導体基板中の光励起による電池効果を抑制し、配線の接続不良等の不具合の発生を防止するのに加えて、N型領域における金属酸化物を含む高抵抗層の形成を抑制し、配線における接続不良等の不具

合を防止する。その結果、半導体基板の信頼性が向上する。

【0025】

請求項7記載の半導体装置は、基板にN型領域及びP型領域が形成され、これらN型領域及びP型領域のいずれか一方、またはこれら双方を接続するように配線が形成され、該配線の上面が露出された半導体装置において、前記基板に、前記N型領域と独立した第2のN型領域を形成してなることを特徴とする。

【0026】

この半導体装置では、基板に、N型領域及びP型領域と独立した第2のN型領域を形成したことにより、光励起による電池効果によりP型領域と、N型領域及び第2のN型領域との間に起電力が発生することとなり、N型領域のみへの集中を防止する。これにより、N型領域における金属酸化物を含む高抵抗層の形成を抑制し、配線における接続不良等の不具合を防止する。その結果、半導体装置の信頼性が向上する。

【0027】

請求項8記載の半導体装置は、請求項7記載の半導体装置において、前記N型領域及び前記第2のN型領域の面積の合計が、前記P型領域の面積の合計の100～1／100であることを特徴とする。

【0028】

請求項9記載の半導体装置は、請求項7または8記載の半導体装置において、前記第2のN型領域は、前記基板の周縁部に形成してなることを特徴とする。

【0029】

請求項10記載の半導体装置は、請求項7、8または9記載の半導体装置において、前記配線は、Cu、Al、Wのいずれか1種を主成分とすることを特徴とする。

【0030】

【発明の実施の形態】

本発明の半導体装置の製造方法と処理装置及び半導体装置の各実施の形態について図面に基づき説明する。

【0031】

[第1の実施の形態]

図1は本発明の第1の実施の形態の半導体装置に用いられる半導体基板を示す断面図、図2は同平面図であり、この半導体基板は、Siウエハ（基板）1の表面に、イオン注入法等によりN型領域2及びP型領域3が形成され、このN型領域2の外側、すなわちSiウエハ1の周縁部に、さらに第2のN型領域30が形成されている。

【0032】

N型領域2、P型領域3及び第2のN型領域30を含むSi基板1上には、SiO₂膜4が堆積され、SiO₂膜4に形成されたN型領域2、P型領域3及び第2のN型領域30それぞれに達するコンタクトホール5、5、…には、W、Al、Cu等の金属が充填されてプラグ電極6とされ、プラグ電極6上にはCMP法によりダマシン配線あるいは埋め込み配線とも称される表面が露出した溝配線10が形成されている。

この溝配線10は、CMP法以外の方法、例えば、ドライエッティングを用いても形成することができる。

【0033】

この第2のN型領域30は、N型領域2のみへの起電力の集中を防止するためには形成されたもので、光励起による電池効果を抑制するために、N型領域2と第2のN型領域30の面積の合計は、P型領域3の面積の合計の100～1/100、好ましくは10～1/10、さらに好ましくは1とされている。例えば、P型領域3の面積が500 μm²、N型領域2の面積が1 μm²の場合、第2のN型領域30の面積は4 μm²等である。

【0034】

この半導体基板では、光励起による電池効果により、P型領域3と、N型領域2及び第2のN型領域30との間に起電力が発生し、N型領域2のみへの起電力の集中を防止する。これにより、N型領域2におけるCuO等の金属酸化物を含む高抵抗層の形成が抑制され、溝配線10における接続不良等の不具合が防止される。その結果、半導体装置としての信頼性が向上する。

【0035】

以上説明したように、本実施の形態の半導体装置によれば、Siウエハ1の表面にN型領域2及びP型領域3が形成され、このN型領域2の外側のSiウエハ1の周縁部に、さらに第2のN型領域21が形成されているので、P型領域3と、N型領域2及び第2のN型領域21との間に起電力を発生させてN型領域2のみへの起電力の集中を防止することができる。したがって、N型領域2におけるCuO等の金属酸化物を含む高抵抗層の形成を抑制することができ、溝配線10における接続不良等の不具合を防止することができ、その結果、半導体装置としての信頼性を向上させることができる。

【0036】

〔第2の実施の形態〕

図3は本発明の第2の実施の形態の半導体装置の製造方法が適用される半導体基板を示す断面図、図4は同平面図であり、この半導体基板は、Siウエハ1の表面にN型領域2及びP型領域3が形成され、このN型領域2及びP型領域3を含むSi基板1上にはSiO₂膜4が堆積され、SiO₂膜4に形成されたN型領域2及びP型領域3それぞれに達するコンタクトホール5、5には、W、Al、Cu等の金属が充填されてプラグ電極6とされ、プラグ電極6上にはCMP法により表面が露出した溝配線10が形成されている。

この溝配線10は、CMP法以外の方法、例えば、ドライエッチングを用いても形成することができる。

【0037】

この半導体基板は、図5に示す洗浄装置（処理装置）を用いて洗浄（処理）される。

この洗浄装置は、半導体基板を水洗用純水（あるいは導電性の洗浄用薬液）を用いて洗浄する処理部31と、処理部31の窓32、32、…の外側に配置され波長が500nm以上かつ1μm未満の光を処理部31内に入射する光源33により構成されている。

【0038】

処理部31は、半導体基板の搬送方向に沿って設けられた複数の搬送ロボット41a～41dと、これら搬送ロボット41a～41dそれぞれの間に設けられ

半導体基板を保持しつつ垂直な回転軸42を軸心として回転可能なウエハホルダ43a～43cと、半導体基板上に水洗用純水（あるいは導電性の洗浄用薬液）を供給するノズル44、44と、半導体基板の表面を物理的に洗浄するスクラップラシ45と、半導体基板の搬入口に設けられたロードキャリア46と、半導体基板の搬出口に設けられたアンロードキャリア47により構成されている。

【0039】

そして、このウエハホルダ43aは表面洗浄用、中央のウエハホルダ43bは裏面洗浄用、搬出口側のウエハホルダ43cはスピンドライヤーとも称されて乾燥用とされている。

【0040】

この処理装置では、半導体基板の洗浄工程を、半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことが可能である。したがって、非常に簡単な構成かつ低コストで、処理工程における半導体基板中の光励起による電池効果が抑制され、配線の接続不良等の不具合の発生が防止される。

【0041】

図6は、Si-p⁺-n構造のフォトダイオードの量子効率ηと感度の波長特性を示す図であり、この図から分かるとおり、波長が0.5μm(500nm)以上かつ1μm未満の範囲で安定した特性を有し、長波長側で減衰する。

【0042】

図7は室温(25°C)におけるPN接合のIG(Intrinsic Gettering)電流の電圧V_g依存性を示す図であり、図中、L1は波長500nmの光、L2は波長400nmの光、L3は波長300nmの光、L4は波長200nmの光、L5は波長100nmの光、L6は波長50nmの光をそれぞれ示している。

この図によれば、波長500nmの光L1がIG電流が最も小さくしかも直線性(線形性)に優れており、波長が長くなるのにしたがって直線性(線形性)も低下している。例えば、光L1では、電圧V_gが5V以下でIG電流が10⁻¹¹A以下である。

【0043】

図8はPN接合におけるIG電流のPN面積依存性を示す図であり、L1及び

L 2 の 2 種類の波長の光それぞれについて、P N 面積と、5 V_g における I G 電流（単位：p A）との関係を図示してある。

この図によれば、P N 接合における面積が狭ければ狭いほど、単位面積当たりの I G 電流の許容値が減少する。例えば、波長 500 nm の光 L 1 の場合、P N 面積が 1 μm^2 以下であれば、I G 電流が 6 p A 以下となる。また、波長 400 nm の光 L 2 の場合では、P N 面積が 1 μm^2 のとき I G 電流が 60 p A となり、波長 500 nm の光 L 1 の場合と比べて I G 電流が 1 衡大きくなる。このように、光の波長が 500 nm に近づくほど、同じ P N 面積に対して I G 電流が小さくなることが分かる。

【0044】

以上説明したように、本実施の形態の半導体基板の洗浄方法によれば、洗浄工程を、半導体基板に入射する光の波長を 500 nm 以上かつ 1 μm 未満とした状態で行うので、半導体基板中の光励起による電池効果を抑制することができ、配線の接続不良等の不具合を防止することができる。

【0045】

また、本実施の形態の洗浄装置によれば、半導体基板を水洗用純水（あるいは導電性の洗浄用薬液）を用いて洗浄する処理部 31 と、波長が 500 nm 以上かつ 1 μm 未満の光を処理部 31 内に入射する光源 33 とにより構成したので、非常に簡単な構成かつ低コストで処理工程における半導体基板中の光励起による電池効果を抑制することができ、配線の接続不良等の不具合の発生を防止することができる。

【0046】

【第3の実施の形態】

図 9 は本発明の第3の実施の形態の洗浄装置を示す概略構成図であり、この洗浄装置が上述した第2の実施の形態の洗浄装置と異なる点は、搬入口側のウエハホルダ 43a の回転軸 42 にアース（接地）48 を電気的に接続した点である。

【0047】

この洗浄装置では、ウエハホルダ 43a の回転軸 42 にアース 48 を電気的に接続したことにより、この処理工程においては、半導体基板中の P N 接合におけ

る起電力を消失させる。したがって、処理工程において発生するおそれのある溝配線10における接続不良等の不具合が効果的に防止される。

【0048】

本実施の形態の洗浄装置によれば、ウエハホルダ43aの回転軸42にアース48を電気的に接続したので、半導体基板中のPN接合における起電力を消失させることができ、したがって、処理工程において発生するおそれのある溝配線10における接続不良等の不具合を効果的に防止することができる。

【0049】

以上、本発明の半導体装置の製造方法と処理装置及び半導体装置の各実施の形態について図面に基づき説明してきたが、具体的な構成は本発明の各実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で設計の変更等が可能である。

【0050】

例えば、上記の第1の実施の形態では、N型領域2の外側であるSiウエハ1の周縁部に、さらに第2のN型領域21を形成したが、第2のN型領域21の形成箇所及びその数は適宜変更可能である。

また、第2のN型領域30の面積は、N型領域2のみへの起電力の集中を防止することができる面積であればよい。具体的には、この第2のN型領域30とN型領域2の面積の合計を、P型領域3の面積の合計に対して100~1/100の範囲で適宜設定すればよい。

【0051】

また、第2の実施の形態の洗浄装置では、波長が500nm以上かつ1μm未満の光を出射する光源33を用いたが、この光源の替わりに、500nm以上かつ1μm未満の波長の光を出射するように構成された光学系を用いてもよい。

【0052】

【発明の効果】

以上説明した様に、本発明の請求項1記載の半導体装置の製造方法によれば、処理工程を、前記半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うので、半導体基板中のPN接合における起電力を減少させて

、光励起による電池効果を抑制することができ、配線の表面に金属酸化物を含む高抵抗層を形成するおそれが無く、配線における接続不良等の不具合を防止することができる。

【0053】

請求項2記載の半導体装置の製造方法によれば、前記処理工程は、前記半導体基板を接地した状態で行うので、半導体基板中のP N接合における起電力を消失させ、光励起による電池効果を消失させることができ、その結果、配線における接続不良等の不具合を効果的に防止することができる。

【0054】

請求項3記載の半導体装置の製造方法によれば、前記処理工程は、前記配線を形成するための化学機械研磨（C M P）を含む工程中またはその工程前、あるいはその工程後に行う洗浄工程としたので、洗浄工程において生じるおそれのある配線の接続不良等の不具合を防止することができる。

【0055】

請求項4記載の処理装置によれば、半導体基板を液体を用いて処理する処理部と、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源とを備えたので、処理工程を、半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことができ、この処理工程における半導体基板中の光励起による電池効果を抑制することができ、その結果、配線の接続不良等の不具合を防止することができる。

【0056】

請求項5記載の処理装置によれば、前記回転手段を接地したので、処理工程において半導体基板中のP N接合における起電力を消失させることができ、処理工程において発生するおそれのある配線における接続不良等の不具合を効果的に防止することができる。

【0057】

請求項6記載の処理装置によれば、波長が500nm以上かつ1μm未満の光を前記処理部に入射する光源を備えるとともに、前記回転手段を接地したので、この処理工程における半導体基板中の光励起による電池効果を抑制することができ

き、その結果、配線の接続不良等の不具合を防止することができる。その上、処理工程において半導体基板中のPN接合における起電力を消失させることができ、処理工程において発生するおそれのある配線における接続不良等の不具合を効果的に防止することができる。

【0058】

請求項7記載の半導体装置によれば、前記基板に、前記N型領域及びP型領域と独立した第2のN型領域を形成したので、光励起による電池効果によりP型領域と、N型領域及び第2のN型領域との間に起電力を発生させることで、起電力がN型領域のみへ集中するのを防止することができる。したがって、N型領域における金属酸化物を含む高抵抗層の形成を抑制することができ、配線における接続不良等の不具合を防止することができ、その結果、半導体装置としての信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の半導体装置に用いられる半導体基板を示す断面図である。

【図2】 本発明の第1の実施の形態の半導体装置に用いられる半導体基板を示す平面図である。

【図3】 本発明の第2の実施の形態の半導体装置の製造方法が適用される半導体基板を示す断面図である。

【図4】 本発明の第2の実施の形態の半導体装置の製造方法が適用される半導体基板を示す平面図である。

【図5】 本発明の第2の実施の形態の洗浄装置を示す概略構成図である。

【図6】 $Si-p^+-n$ 構造のフォトダイオードの量子効率 η と感度の波長特性を示す図である。

【図7】 室温(25°C)におけるPN接合のIG電流の電圧 V_g 依存性を示す図である。

【図8】 PN接合におけるIG電流のPN面積依存性を示す図である。

【図9】 本発明の第3の実施の形態の洗浄装置を示す概略構成図である。

【図10】 従来の半導体装置の製造方法を示す過程図である。

【図11】 従来の洗浄装置を示す概略構成図である。

【図12】 従来の半導体基板の不具合の一例を示す断面図である。

【図13】 従来の半導体基板の不具合の一例を示す平面図である。

【図14】 従来の半導体基板の処理方法で形成したCu配線の断面図である。

【図15】 従来の半導体基板の処理方法で形成したCu配線の配線抵抗を示す図である。

【図16】 広いi層を持つSi-p⁺-i-n構造のフォトダイオードの量子効率ηと感度の波長特性を示す図である。

【符号の説明】

1 Siウエハ(基板)

2 N型領域

3 P型領域

4 SiO₂膜

5 コンタクトホール

6 プラグ電極

7 溝配線用溝

8 絶縁膜

9 Cu膜

10 溝配線

11 半導体基板

12 高抵抗層

15 ウエハホルダ

16 ノズル

17 光源

30 第2のN型領域

31 処理部

32 窓

33 光源

41a～41d 搬送ロボット

42 回転軸

43a～43c ウエハホルダ

44 ノズル

45 スクラップブラシ

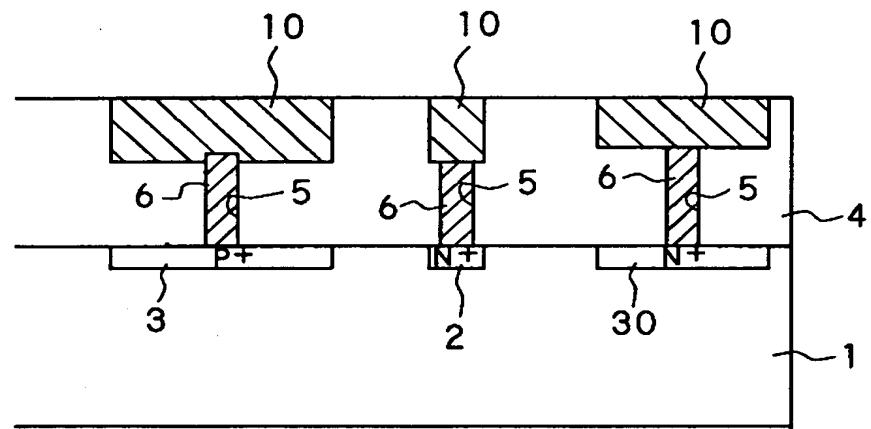
46 ロードキャリア

47 アンロードキャリア

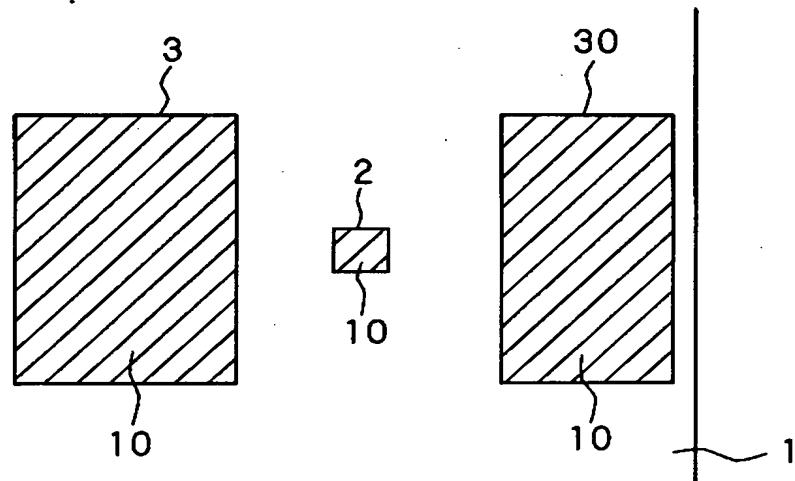
48 アース（接地）

【書類名】 図面

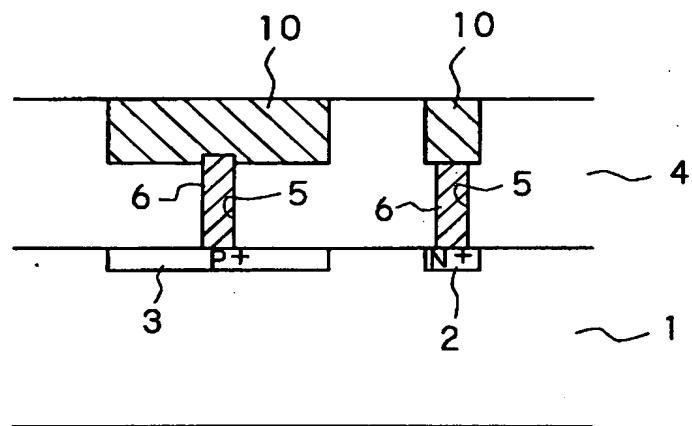
【図1】



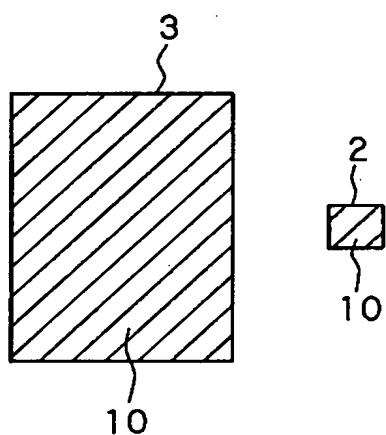
【図2】



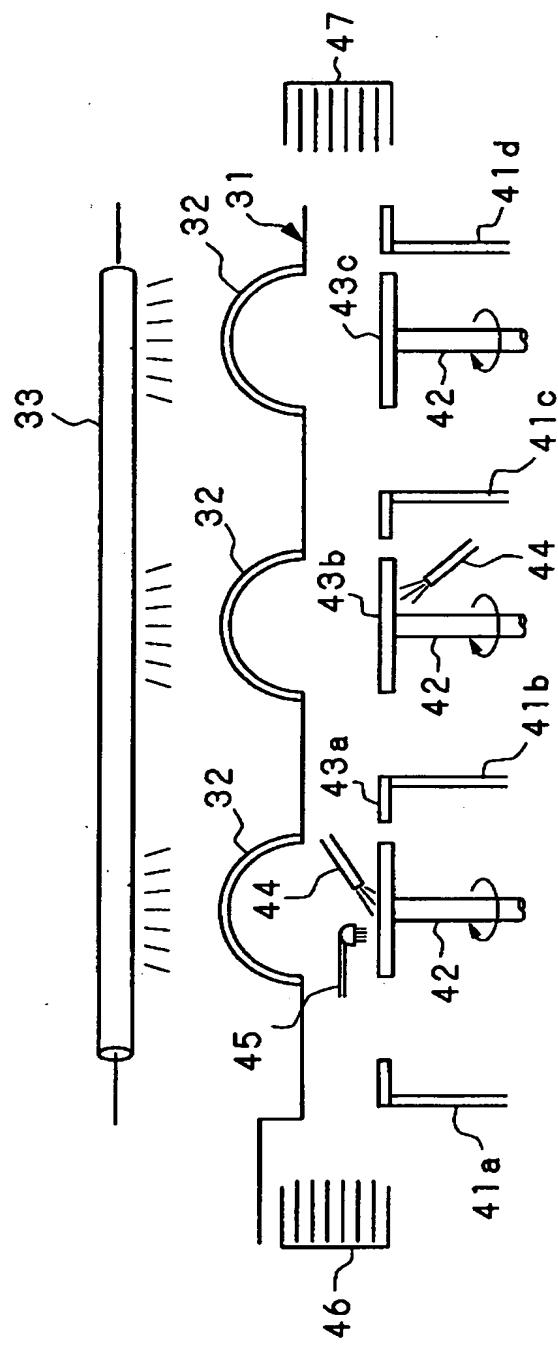
【図3】



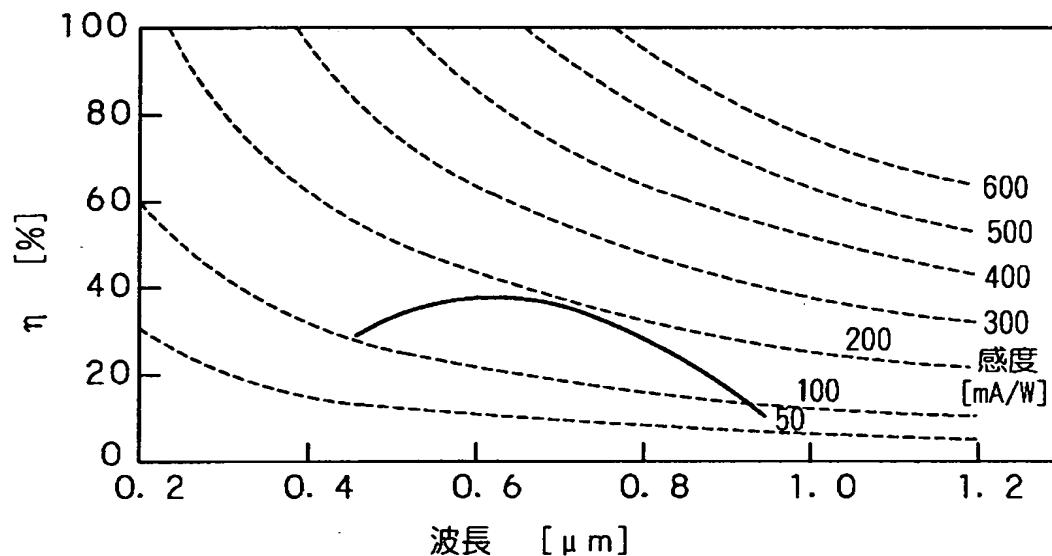
【図4】



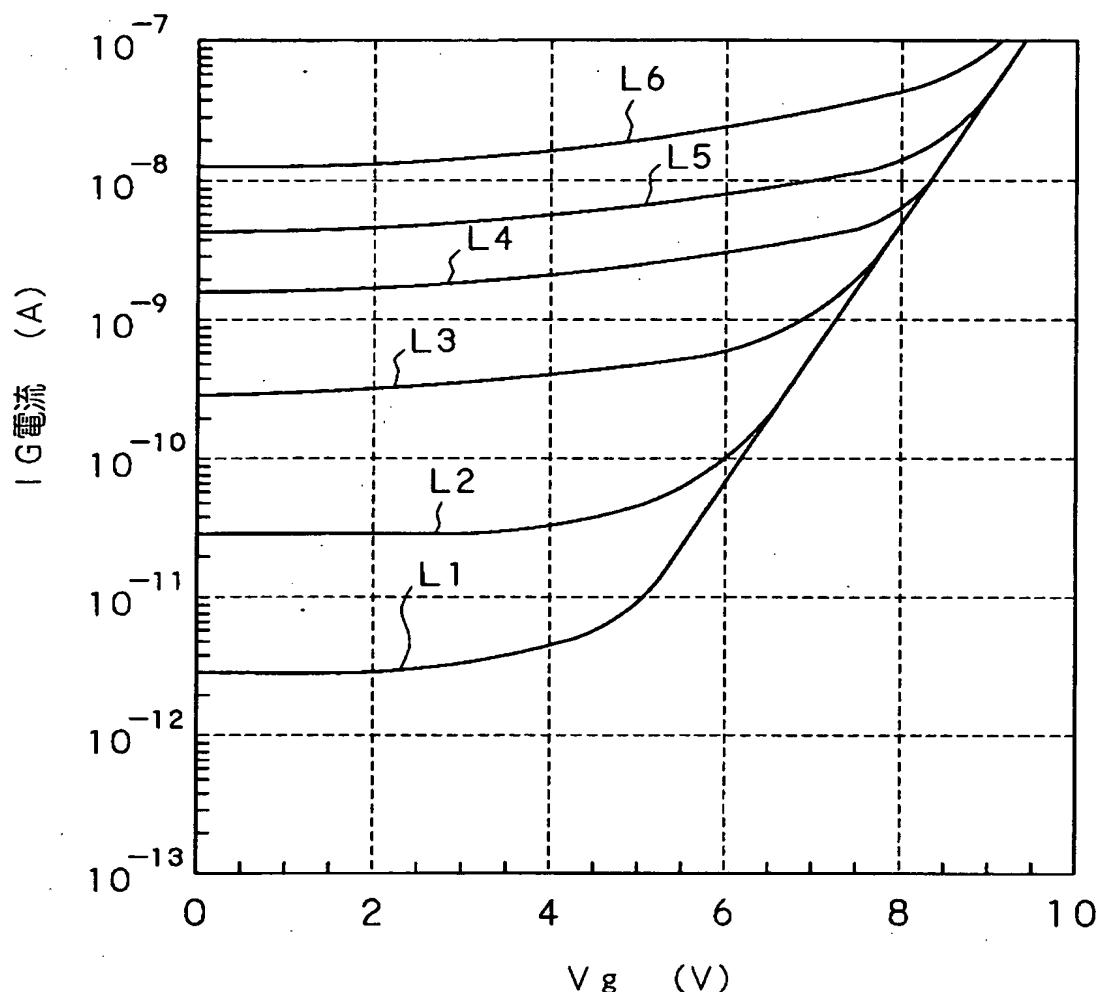
【図5】



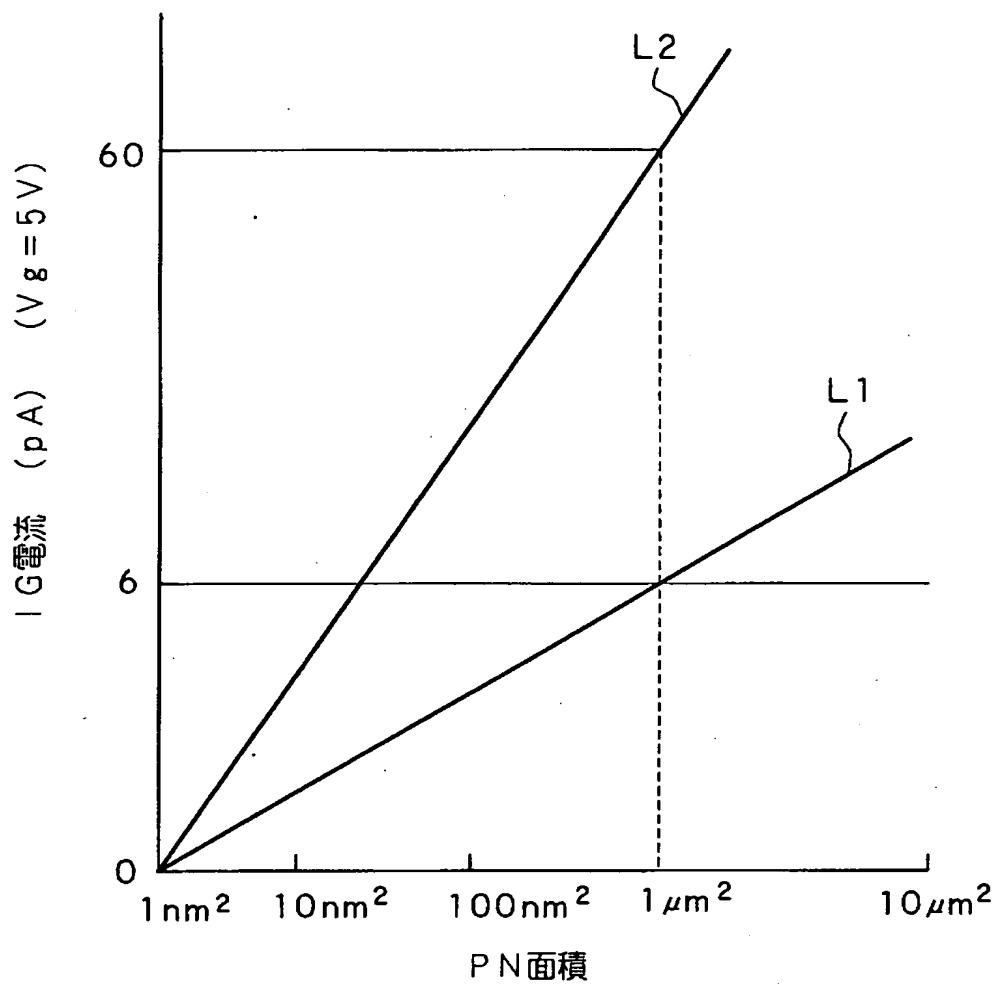
【図6】

量子効率 η と感度の波長特性

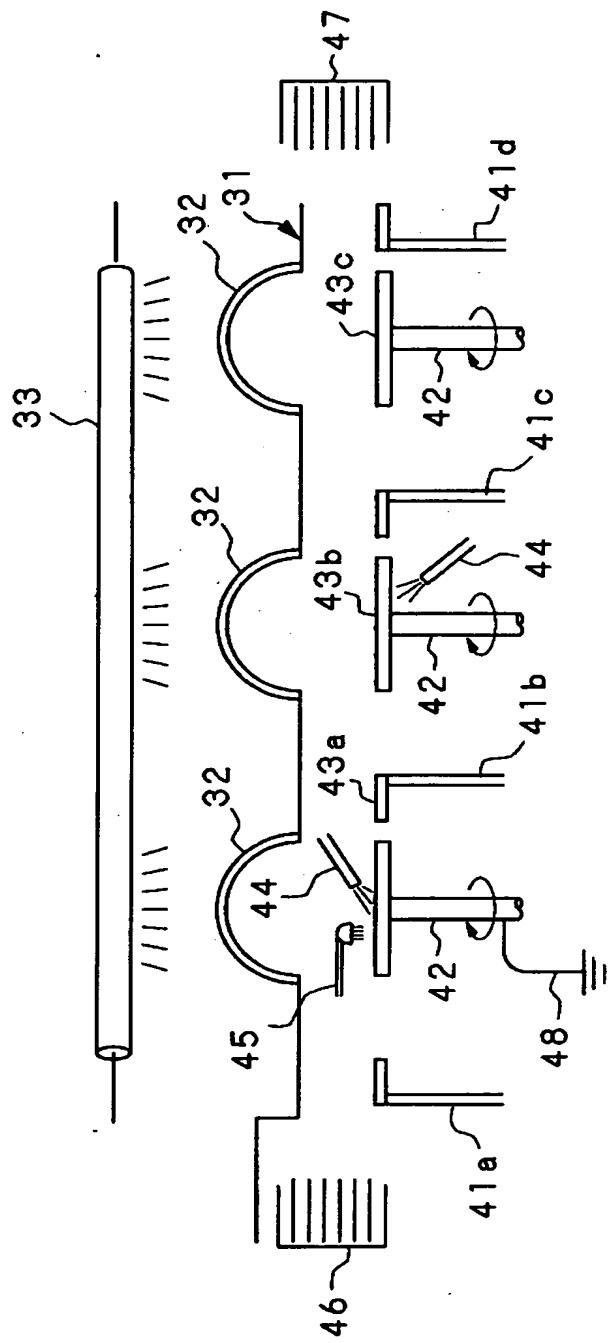
【図7】



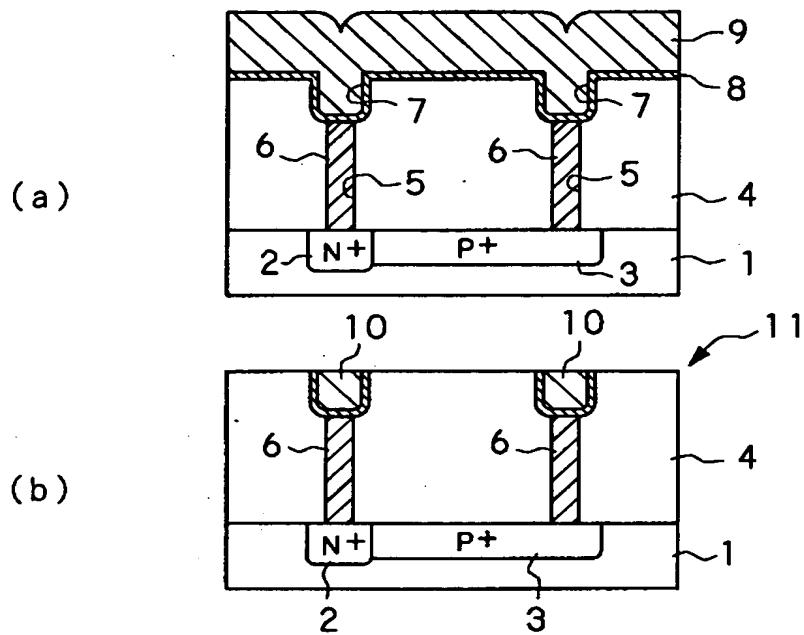
【図8】



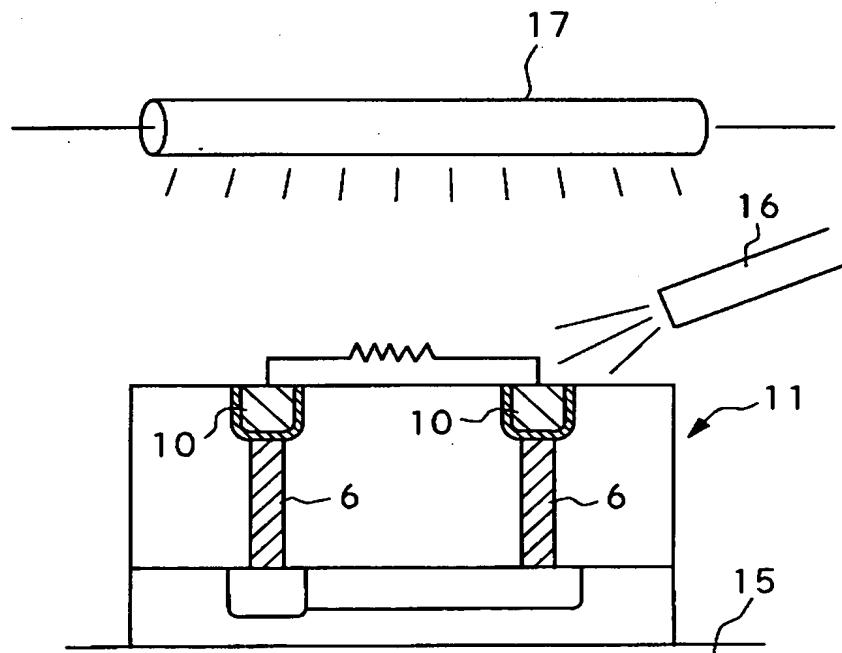
【図9】



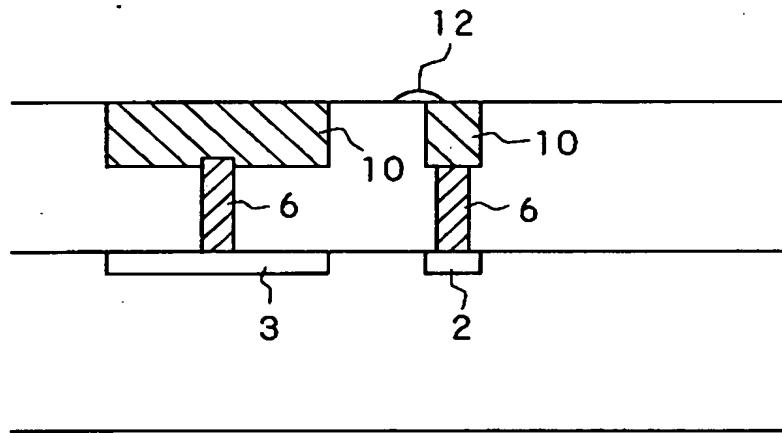
【図10】



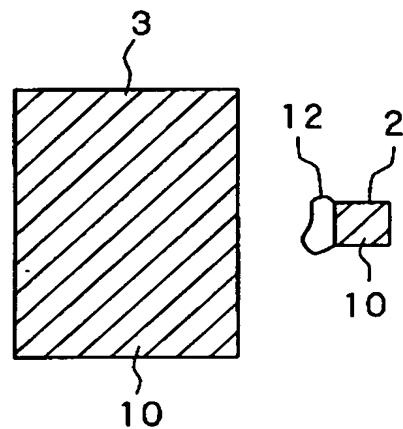
【図11】



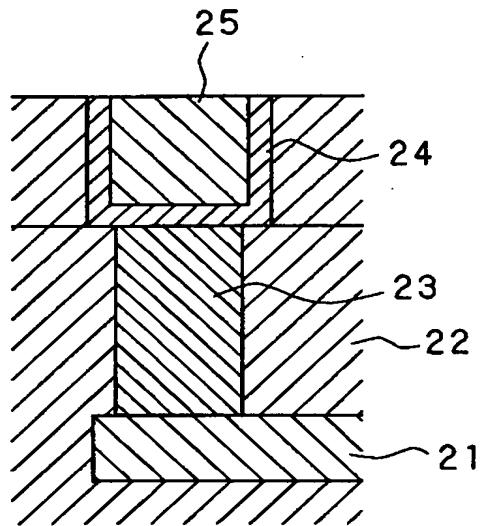
【図12】



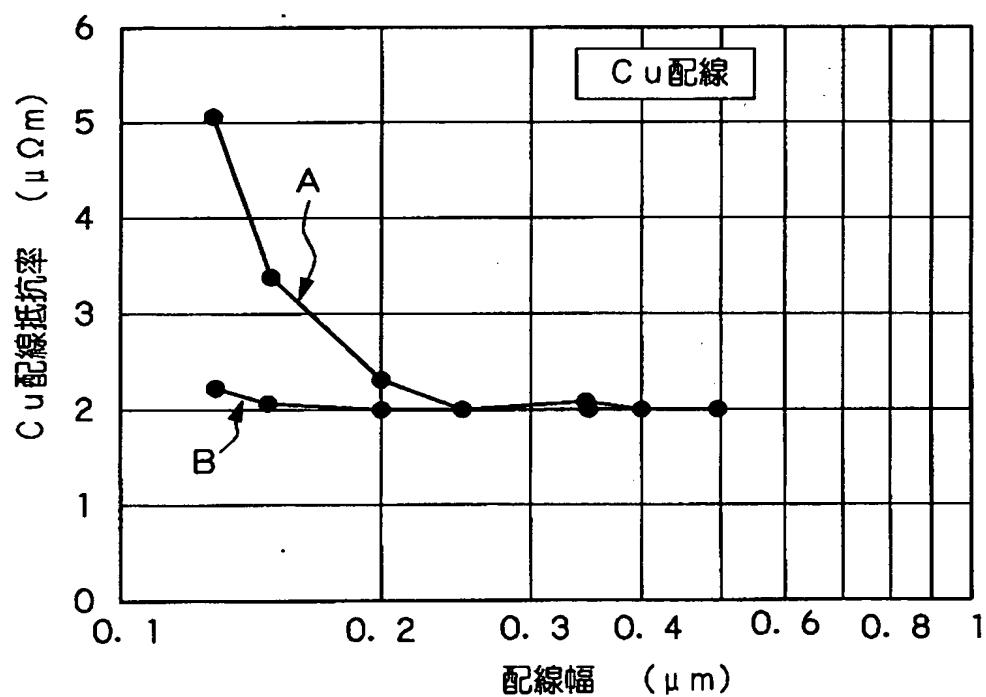
【図13】



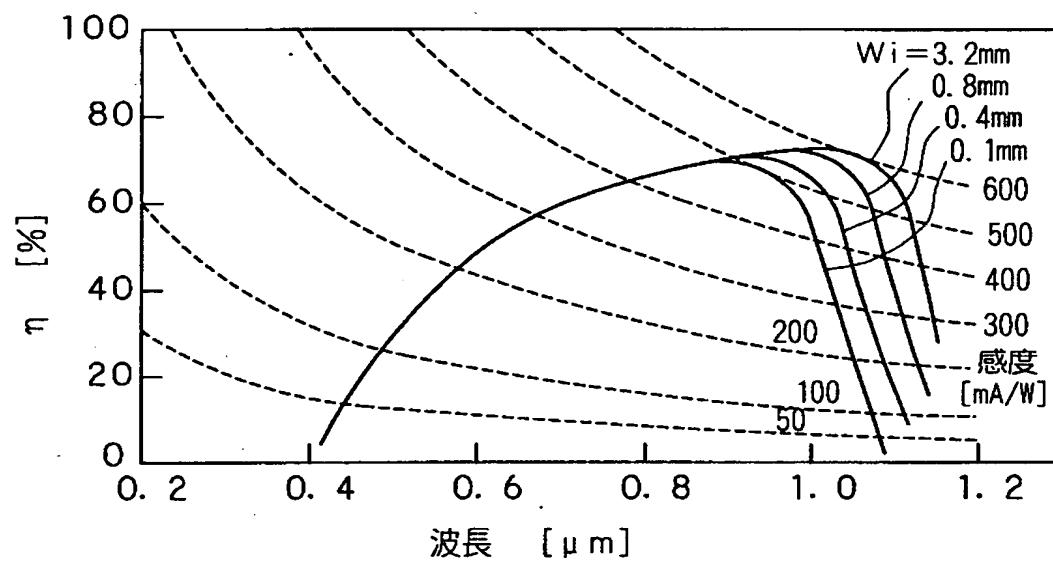
【図14】



【図15】



【図16】

量子効率 η と感度の波長特性

【書類名】 要約書

【要約】

【課題】 配線の表面に金属酸化物を含む高抵抗層が形成されることにより生じる接続不良等の不具合を防止し得る半導体装置の製造方法を提供すること、半導体装置の処理工程における接続不良等の不具合の発生を防止し得る処理装置を提供すること、及び配線に接続不良等の不具合が無く、その結果、信頼性に優れた半導体装置を提供することを目的とする。

【解決手段】 本発明の半導体装置の製造方法は、基板にN型領域及びP型領域が形成され、これらN型領域及びP型領域のいずれか一方、またはこれら双方を接続するように配線が形成され、該配線の上面が露出された半導体基板を液体を用いて処理工程を行う半導体装置の製造方法において、処理工程は、半導体基板に入射する光の波長を500nm以上かつ1μm未満とした状態で行うことを特徴とする。

【選択図】 図7

認定・付加情報

特許出願の番号	特願2000-131626
受付番号	50000550138
書類名	特許願
担当官	長谷川 実 1921
作成日	平成12年 5月10日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社
【代理人】	申請人
【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社